

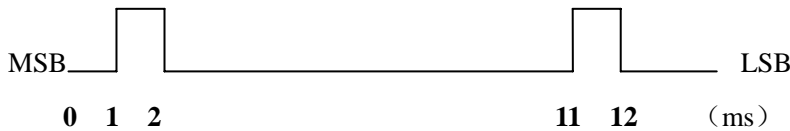
第一章 数字逻辑习题

1. 1 数字电路与数字信号

1.1.2 图形代表的二进制数

010110100

1. 1. 4 一周期性数字波形如图题所示，试计算：(1) 周期；(2) 频率；(3) 占空比例



解：因为图题所示为周期性数字波，所以两个相邻的上升沿之间持续的时间为周期， $T=10\text{ms}$

频率为周期的倒数， $f=1/T=1/0.01\text{s}=100\text{HZ}$

占空比为高电平脉冲宽度与周期的百分比， $q=1\text{ms}/10\text{ms}*100\%=10\%$

1.2 数制

1.2.2 将下列十进制数转换为二进制数，八进制数和十六进制数（要求转换误差不大于 2^{-4} ）

(2) 127 (4) 2.718

解：(2) (127) $D=2^7-1=(10000000) B-1=(1111111) B=(177) O=(7F) H$

(4) (2.718) $D=(10.1011) B=(2.54) O=(2.B) H$

1.4 二进制代码

1.4.1 将下列十进制数转换为 8421BCD 码：

(1) 43 (3) 254.25

解：(43) $D=(01000011) \text{BCD}$

1.4.3 试用十六进制写书下列字符繁荣 ASCII 码的表示：P28

(1) + (2) @ (3) you (4) 43

解：首先查出每个字符所对应的二进制表示的 ASCII 码，然后将二进制码转换为十六进制数表示。

(1) “+” 的 ASCII 码为 0101011，则 $(00101011) B=(2B) H$

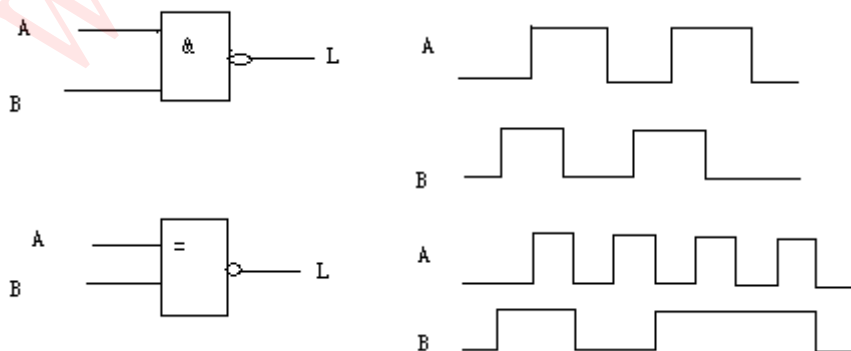
(2) @ 的 ASCII 码为 1000000,(01000000) $B=(40) H$

(3) you 的 ASCII 码为本 1111001,1101111,1110101,对应的十六进制数分别为 79,6F,75

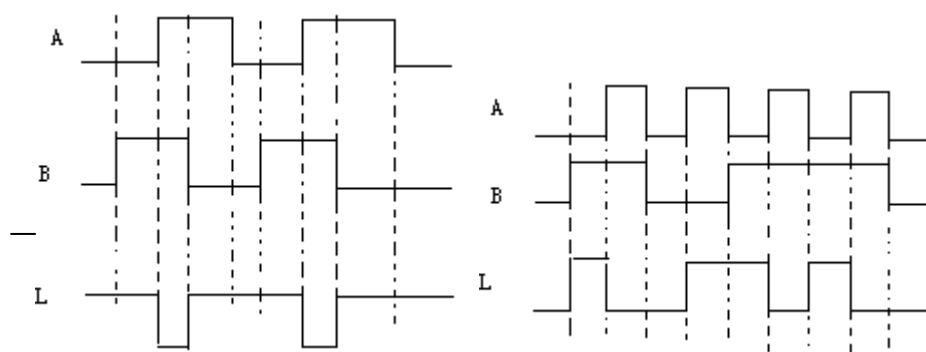
(4) 43 的 ASCII 码为 0110100,0110011,对应的十六进制数分别为 34,33

1.6 逻辑函数及其表示方法

1.6.1 在图题 1. 6.1 中，已知输入信号 A，B 的波形，画出各门电路输出 L 的波形。



解: (a)为与非, (b)为同或非, 即异或



第二章 逻辑代数 习题解答

2.1.1 用真值表证明下列恒等式

(3) $\overline{A \oplus B} = \overline{AB} + AB$ ($A \oplus B$) = $AB + \overline{AB}$

解：真值表如下

A	B	$A \oplus B$	\overline{AB}	AB	$\overline{A \oplus B}$	$\overline{AB} + AB$
0	0	0	1	0	1	1
0	1	1	0	0	0	0
1	0	1	0	0	0	0
1	1	0	0	1	1	1

由最右边 2 栏可知， $\overline{A \oplus B}$ 与 $\overline{AB} + AB$ 的真值表完全相同。

2.1.3 用逻辑代数定律证明下列等式

(3) $A + \overline{ABC} + \overline{ACD} + (\overline{C} + \overline{D})E = A + CD + E$

解： $A + \overline{ABC} + \overline{ACD} + (\overline{C} + \overline{D})E$

$$= A(1 + \overline{BC}) + \overline{ACD} + \overline{CDE}$$

$$= A + \overline{ACD} + \overline{CDE}$$

$$= A + CD + \overline{CDE}$$

$$= A + CD + E$$

2.1.4 用代数法化简下列各式

(3) $\overline{\overline{ABC}(B + \overline{C})}$

解： $\overline{\overline{ABC}(B + \overline{C})}$

$$= (A + \overline{B} + \overline{C})(B + \overline{C})$$

$$= AB + A\overline{C} + \overline{B}B + \overline{B}\overline{C} + \overline{C}B + \overline{C}\overline{C}$$

$$= AB + \overline{C}(A + \overline{B} + B + 1)$$

$$= AB + \overline{C}$$

(6) $\overline{\overline{(A + B)} + \overline{(A + B)} + \overline{(AB)}\overline{(AB)}}$

解： $\overline{\overline{(A + B)} + \overline{(A + B)} + \overline{(AB)}\overline{(AB)}}$

$$= \overline{A \cdot \overline{B} + \overline{A} \cdot \overline{B} + (A + \overline{B})(\overline{A} + B)}$$

$$= \overline{\overline{B} + AB + \overline{AB}}$$

$$= \overline{AB + \overline{B}}$$

$$= \overline{A + \overline{B}}$$

$$= \overline{AB}$$

$$(9) ABC\overline{D} + ABD + BC\overline{D} + ABCBD + \overline{BC}$$

$$\text{解: } ABC\overline{D} + ABD + BC\overline{D} + ABCBD + \overline{BC}$$

$$= ABC(\overline{D} + D) + ABD + BC(\overline{D} + \overline{C})$$

$$= B(AC + AD + \overline{C} + \overline{D})$$

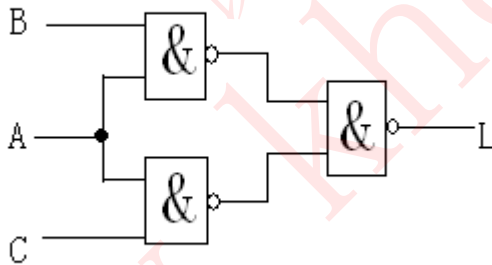
$$= B(A + \overline{C} + A + \overline{D})$$

$$= B(A + \overline{C} + \overline{D})$$

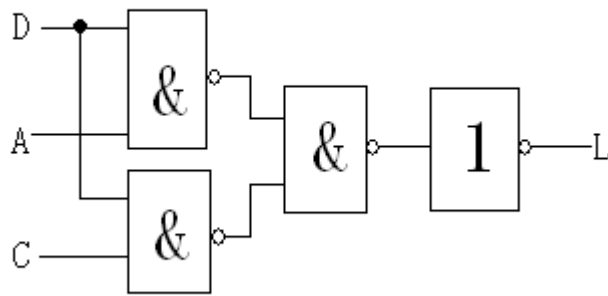
$$= AB + B\overline{C} + B\overline{D}$$

2.1.7 画出实现下列逻辑表达式的逻辑电路图，限使用非门和二输入与非门

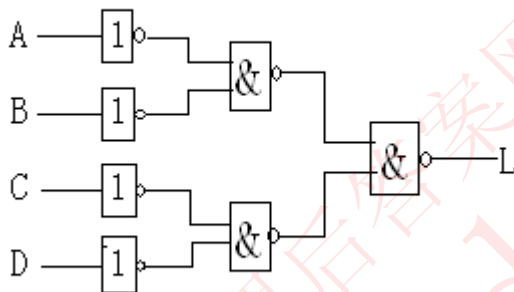
$$(1) L = AB + AC$$



$$(2) L = \overline{D(A + C)}$$



(3) $L = \overline{(A+B)(C+D)}$



2.2.2 已知函数 $L(A, B, C, D)$ 的卡诺图如图所示，试写出函数 L 的最简与或表达式

<div style="border: 1px solid black; border-radius: 50%; padding: 2px; display: inline-block;">L</div>	CD	00	01	11	10
	AB				
	00		1		1
	01	1			
	11	1			
	10		1	1	1

解: $L(A, B, C, D) = \overline{B}\overline{C}\overline{D} + \overline{B}C\overline{D} + \overline{B}C\overline{D} + \overline{A}BD$

2.2.3 用卡诺图化简下列个式

(1) $\overline{A}BCD + A\overline{B}CD + \overline{A}\overline{B} + \overline{A}\overline{D} + \overline{A}\overline{B}C$

解: $\overline{A}BCD + A\overline{B}CD + \overline{A}\overline{B} + \overline{A}\overline{D} + \overline{A}\overline{B}C$

$$= \overline{A}BCD + A\overline{B}CD + \overline{A}\overline{B}(C + \overline{C})(D + \overline{D}) + \overline{A}\overline{D}(B + \overline{B})(C + \overline{C}) + \overline{A}\overline{B}C(D + \overline{D})$$

$$= \overline{A}BCD + A\overline{B}CD + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}C\overline{D}$$

(6) $L(A, B, C, D) = \sum m(0, 2, 4, 6, 9, 13) + \sum d(1, 3, 5, 7, 11, 15)$

解:

<div>L</div> <div>AB</div>	CD	00	01	11	10
	00	1	X	X	1
	01	1	X	X	1
	11		1	X	
	10		1	X	

$$L = \overline{A} + D$$

(7) $L(A, B, C, D) = \sum m(0, 13, 14, 15) + \sum d(1, 2, 3, 9, 10, 11)$

解:

1	X	X	X
	1	1	1
	X	X	X

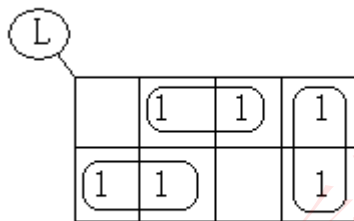
$$L = AD + AC + \overline{A}\overline{B}$$

2.2.4 已知逻辑函数 $L = \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{C}\overline{A}$ ，试用真值表, 卡诺图和逻辑图（限用非门和与非门）表示

解: 1>由逻辑函数写出真值表

A	B	C	L
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

2>由真值表画出卡诺图

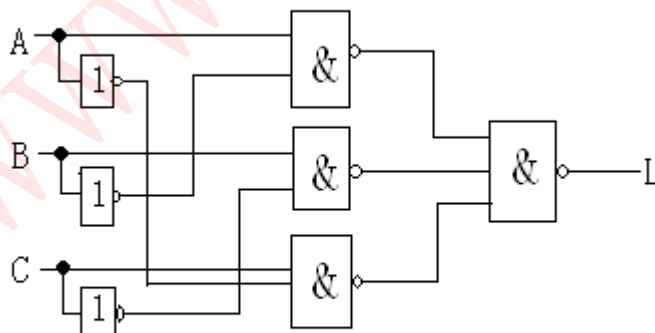


3>由卡诺图, 得逻辑表达式 $L = \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{C}\overline{A}$

用摩根定理将与或化为与非表达式

$$L = \overline{\overline{\overline{A}\overline{B}} \cdot \overline{\overline{\overline{B}\overline{C}}} \cdot \overline{\overline{\overline{C}\overline{A}}}} = \overline{\overline{\overline{A}\overline{B}} \cdot \overline{\overline{\overline{B}\overline{C}}} \cdot \overline{\overline{\overline{C}\overline{A}}}}$$

4>由已知函数的与非-与非表达式画出逻辑图



第三章习题

3.1 MOS 逻辑门电路

3.1.1 根据表题 3.1.1 所列的三种逻辑门电路的技术参数,试选择一种最合适工作在高噪声环境下的门电路。

表题 3.1.1 逻辑门电路的技术参数表

	$V_{OH(min)}/V$	$V_{OL(max)}/V$	$V_{IH(min)}/V$	$V_{IL(max)}/V$
逻辑门 A	2.4	0.4	2	0.8
逻辑门 B	3.5	0.2	2.5	0.6
逻辑门 C	4.2	0.2	3.2	0.8

解:根据表题 3.1.1 所示逻辑门的参数,以及式 (3.1.1) 和式 (3.1.2),计算出逻辑门 A 的高电平和低电平噪声容限分别为:

$$V_{NHA} = V_{OH(min)} - V_{IH(min)} = 2.4V - 2V = 0.4V$$

$$V_{NLA(max)} = V_{IL(max)} - V_{OL(max)} = 0.8V - 0.4V = 0.4V$$

同理分别求出逻辑门 B 和 C 的噪声容限分别为:

$$V_{NHB} = 1V$$

$$V_{NLB} = 0.4V$$

$$V_{NHC} = 1V$$

$$V_{NLC} = 0.6V$$

电路的噪声容限愈大,其抗干扰能力愈强,综合考虑选择逻辑门 C

3.1.3 根据表题 3.1.3 所列的三种门电路的技术参数,计算出它们的延时-功耗积,并确定哪一种逻辑门性能最好

表题 3.1.3 逻辑门电路的技术参数表

	t_{pLH}/ns	t_{pHL}/ns	P_D/mW
逻辑门 A	1	1.2	16
逻辑门 B	5	6	8
逻辑门 C	10	10	1

解:延时-功耗积为传输延长时间与功耗的乘积,即

$$DP = t_{pd} P_D$$

根据上式可以计算出各逻辑门的延时-功耗分别为

$$DP_A = \frac{t_{pLH} + t_{pHL}}{2} P_D = \frac{(1 + 1.2)ns}{2} * 16mw = 17.6 * 10^{-12} J = 17.6PJ$$

同理得出: $DP_B = 44PJ$ $DP_C = 10PJ$,逻辑门的 DP 值愈小,表明它的特性愈好,所以逻辑门 C 的性能最好.

3.1.5 为什么说 74HC 系列 CMOS 与非门在+5V 电源工作时,输入端在以下四种接法下都属于逻辑 0: (1)输入端接地; (2)输入端接低于 1.5V 的电源; (3)输入端接同类与非门的输出低电压 0.1V; (4)输入端接 10kΩ 的电阻到地.

解:对于 74HC 系列 CMOS 门电路来说,输出和输入低电平的标准电压值为:

$$V_{OL} = 0.1V, V_{IL} = 1.5V, \text{因此有:}$$

(1) $V_i = 0 < V_{IL} = 1.5V$,属于逻辑门 0

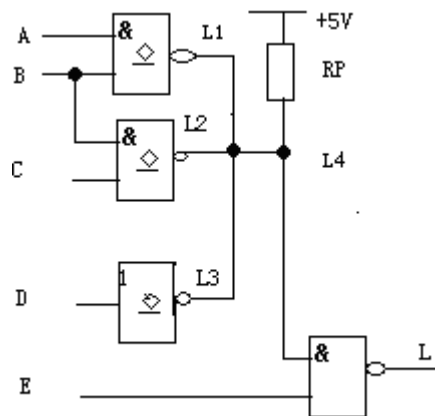
(2) $V_i < 1.5V = V_{IL}$,属于逻辑门 0

(3) $V_i < 0.1 < V_{IL} = 1.5V$,属于逻辑门 0

(4)由于 CMOS 管的栅极电流非常小,通常小于 1uA,在 10kΩ 电阻上产生的压降小于 10mV 即

$V_i < 0.01V < V_{th} = 1.5V$, 故亦属于逻辑 0.

3.1.7 求图题 3.1.7 所示电路的输出逻辑表达式.

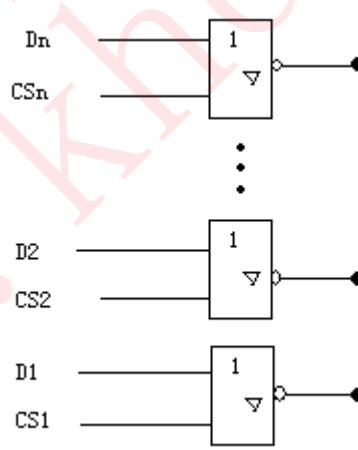


解:图解 3.1.7 所示电路中 $L1 = \overline{AB}$, $L2 = \overline{BC}$, $L3 = \overline{D}$, $L4$ 实现与功能,即 $L4 = L1 \cdot L2 \cdot L3$,而

$L = \overline{L4 \cdot E}$, 所以输出逻辑表达式为 $L = \overline{\overline{AB} \cdot \overline{BC} \cdot \overline{D} \cdot E}$

3.1.9 图题 3.1.9 表示三态门作总线传输的示意图, 图中 n 个三态门的输出接到数据传输总线, $D1, D2, \dots, Dn$ 为数据输入端, $CS1, CS2, \dots, CSn$ 为片选信号输入端.试问:

(1) CS 信号如何进行控制,以便数据 $D1, D2, \dots, Dn$ 通过该总线进行正常传输; (2) CS 信号能否有两个或两个以上同时有效?如果出现两个或两个以上有效,可能发生什么情况? (3)如果所有 CS 信号均无效,总线处在什么状态?

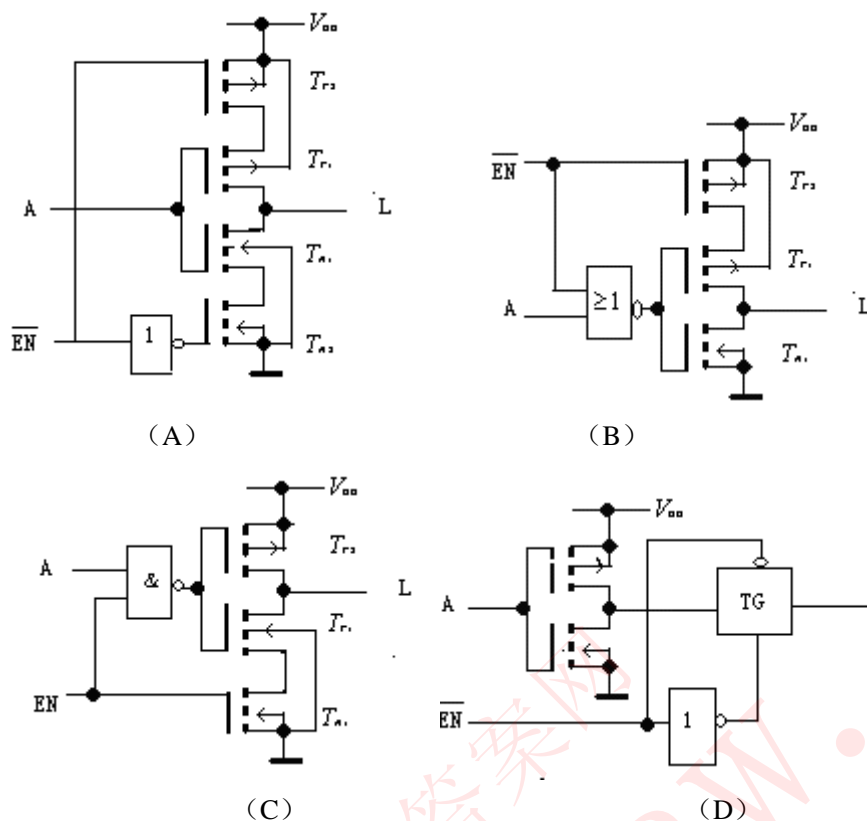


解: (1) 根据图解 3.1.9 可知,片选信号 $CS1, CS2, \dots, CSn$ 为高电平有效,当 $CSi=1$ 时第 i 个三态门被选中,其输入数据被送到数据传输总线上,根据数据传输的速度,分时地给 $CS1, CS2, \dots, CSn$ 端以正脉冲信号,使其相应的三态门的输出数据能分时地到达总线上.

(2) CS 信号不能有两个或两个以上同时有效,否则两个不同的信号将在总线上发生冲突,即总线不能同时既为 0 又为 1.

(3) 如果所有 CS 信号均无效,总线处于高阻状态.

3.1.12 试分析 3.1.12 所示的 CMOS 电路, 说明它们的逻辑功能



解：对于图题 3.1.12 (a) 所示的 CMOS 电路，当 $\overline{EN} = 0$ 时， T_{P2} 和 T_{N2} 均导通， T_{P1} 和 T_{N1} 构成的反相器正常工作， $L = \overline{A}$ ，当 $\overline{EN} = 1$ 时， T_{P2} 和 T_{N2} 均截止，无论 A 为高电平还是低电平，输出端均为高阻状态，其真值表如表题解 3.1.12 所示，该电路是低电平使能三态非门，其表示符号如图题解 3.1.12 (a) 所示。

图题 3.1.12 (b) 所示 CMOS 电路， $\overline{EN} = 0$ 时， T_{P2} 导通，或非门打开， T_{P1} 和 T_{N1} 构成反相器正常工作， $L = A$ ；当 $\overline{EN} = 1$ 时， T_{P2} 截止，或非门输出低电平，使 T_{N1} 截止，输出端处于高阻状态，该电路是低电平使能三态缓冲器，其表示符号如图题解 3.1.12 (b) 所示。

同理可以分析图题 3.1.12 (c) 和图题 3.1.12 (d) 所示的 CMOS 电路，它们分别为高电平使能三态缓冲器和低电平使能三态非门，其表示符号分别如图题 3.1.12 (c) 和图题 3.1.12 (d) 所示。

\overline{EN}	A	L
0	0	1
0	1	0
1	0	高阻
1	1	

3.1.12 (a)

\overline{EN}	A	L
0	0	0
0	1	1

1	0	高阻
1	1	高阻

3.1.12 (b)

EN	A	L
0	0	高阻
0	1	高阻
1	0	0
1	1	1

3.1.12 (c)

$\overline{\text{EN}}$	A	L
0	0	1
0	1	0
1	0	高阻
1	1	高阻

3.1.12 (d)

3.2.2 为什么说 TTL 与非门的输入端在以下四种接法下，都属于逻辑 1：(1) 输入端悬空；(2) 输入端接高于 2V 的电源；(3) 输入端接同类与非门的输出高电压 3.6V；(4) 输入端接 10kΩ 的电阻到地。

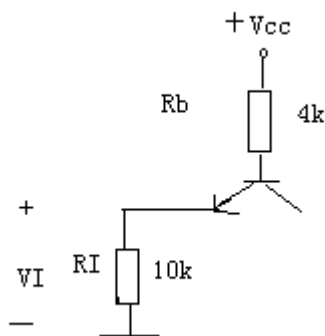
解：(1) 参见教材图 3.2.4 电路，当输入端悬空时，T₁ 管的集电结处于正偏，V_{cc} 作用于 T₁ 的集电结和 T₂，T₃ 管的发射结，使 T₂，T₃ 饱和，使 T₂ 管的集电极电位 V_{C2}=V_{CES2}+V_{BE3}=0.2+0.7=0.9V，而 T₄ 管若要导通 V_{B2}=V_{C2}≥V_{BE4}+V_D=0.7+0.7=1.4V，故 T₄ 截止。又因 T₃ 饱和导通，故与非门输出为低电平，由上分析，与非门输入悬空时相当于输入逻辑 1。

(2) 当与非门输入端接高于 2V 的电源时，若 T₁ 管的发射结导通，则 V_{BE1}≥0.5V，T₁ 管的基极电位 V_{B1}≥2+0.5=2.5V。而 V_{B1}≥2.1V 时，将会使 T₁ 的集电结处于正偏，T₂，T₃ 处于饱和状态，使 T₄ 截止，与非门输出为低电平。故与非门输入端接高于 2V 的电源时，相当于输入逻辑 1。

(3) 与非门的输入端接同类与非门的输出高电平 3.6V 输出时，若 T₁ 管导通，则 V_{B1}=3.6+0.5=4.1。而若 V_{B1}>2.1V 时，将使 T₁ 的集电结正偏，T₂，T₃ 处于饱和状态，这时 V_{B1} 被钳位在 2.4V，即 T₁ 的发射结不可能处于导通状态，而是处于反偏截止。由 (1) (2)，当 V_{B1}≥2.1V，与非门输出为低电平。

(4) 与非门输入端接 10kΩ 的电阻到地时，教材图 3.2.8 的与非门输入端相当于解 3.2.2 图

所示。这时输入电压为 $V_I = \frac{RI}{RI+R_b} (V_{CC}-V_{BE}) = 10(5-0.7) / (10+4) = 3.07V$ 。若 T₁ 导通，则 V_{BI}=3.07+V_{BE}=3.07+0.5=3.57V。但 V_{BI} 是个不可能大于 2.1V 的。当 V_{BI}=2.1V 时，将使 T₁ 管的集电结正偏，T₂，T₃ 处于饱和，使 V_{BI} 被钳位在 2.1V，因此，当 R_i=10kΩ 时，T₁ 将处于截止状态，由 (1) 这时相当于输入端输入高电平。



3.2.3 设有一个 74LS04 反相器驱动两个 74ALS04 反相器和四个 74LS04 反相器。(1) 问驱动门是否超载？(2) 若超载，试提出一改进方案；若未超载，问还可增加几个 74LS04 门？

解：(1) 根据题意，74LS04 为驱动门，同时它有时负载门，负载门中还有 74LS04。
从主教材附录 A 查出 74LS04 和 74ALS04 的参数如下（不考虑符号）

74LS04: $I_{OL(max)} = 8mA$, $I_{OH(max)} = 0.4mA$; $I_{IH(max)} = 0.02mA$.

4 个 74LS04 的输入电流为: $4 I_{IL(max)} = 4 \times 0.4mA = 1.6mA$,

$$4 I_{IH(max)} = 4 \times 0.02mA = 0.08mA$$

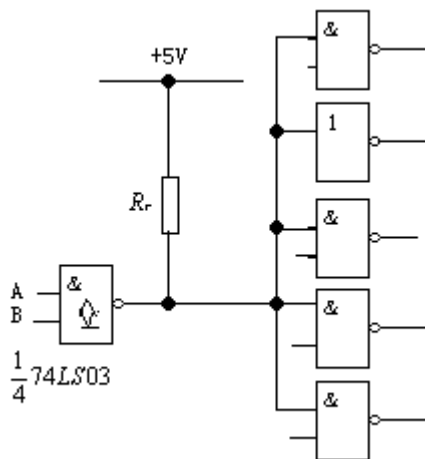
2 个 74ALS04 的输入电流为: $2 I_{IL(max)} = 2 \times 0.1mA = 0.2mA$,

$$2 I_{IH(max)} = 2 \times 0.02mA = 0.04mA。$$

-
- ① 拉电流负载情况下如图题解 3.2.3 (a) 所示，74LS04 总的拉电流为两部分，即 4 个 74ALS04 的高电平输入电流的最大值 $4 I_{IH(max)} = 0.08mA$ 电流之和为 $0.08mA + 0.04mA = 0.12mA$ 。而 74LS04 能提供 0.4mA 的拉电流，并不超载。
-
- ② 灌电流负载情况如图题解 3.2.3 (b) 所示，驱动门的总灌电流为 $1.6mA + 0.2mA = 1.8mA$ 。而 74LS04 能提供 8mA 的灌电流，也未超载。
-

(2) 从上面分析计算可知，74LS04 所驱动的两类负载无论书灌电流还是拉电流均未超

3.2.4 图题 3.2.4 所示为集电极门 74LS03 驱动 5 个 CMOS 逻辑门，已知 OC 门输管截止时的漏电流 $= 0.2mA$ ；负载门的参数为: $= 4V, = 1V, = 1A$ 试计算上拉电阻的值。



从主教材附录 A 查得 74LS03 的参数为: $V_{OH(min)}=2.7V$, $V_{OL(max)}=0.5V$, $I_{OL(max)}=8mA$. 根据式 (3.1.6) 形式 (3.1.7) 可以计算出上拉电阻的值。灌电流情况如图题解 3.2.4 (a) 所示,

74LS03 输出为低电平, $I_{L(total)}=5 I_{IL}=5 \times 0.001mA=0.005mA$, 有

$$R_{P(min)} = \frac{V_{DD} - V_{OL(max)}}{I_{OL(max)} - I_{L(total)}} = \frac{(5-4)V}{(8-0.005)mA} \approx 0.56K\Omega$$

拉电流情况如图题解 3.2.4 (b) 所示, 74LS03 输出为高电平,

$$I_{IH(total)}=5 I_{IH}=5 \times 0.001mA=0.005mA$$

由于 $V_{OH(min)} < V_{IH(min)}$ 为了保证负载门的输入高电平, 取 $V_{OH(min)}=4V$ 有

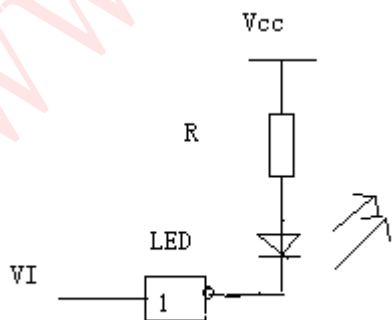
$$R_{P(max)} = \frac{V_{DD} - V_{OH(min)}}{I_{OL(total)} + I_{IH(total)}} = \frac{(5-4)V}{(0.2-0.005)mA} = 4.9K\Omega$$

综上所述, R_P 的取值范围为 $0.56\Omega \sim 4.9\Omega$

3.6.7 设计一发光二极管(LED)驱动电路, 设 LED 的参数为 $V_F=2.5V$, $I_D=4.5mA$; 若 $V_{CC}=5V$, 当 LED 发亮时, 电路的输出为低电平, 选出集成门电路的型号, 并画出电路图.

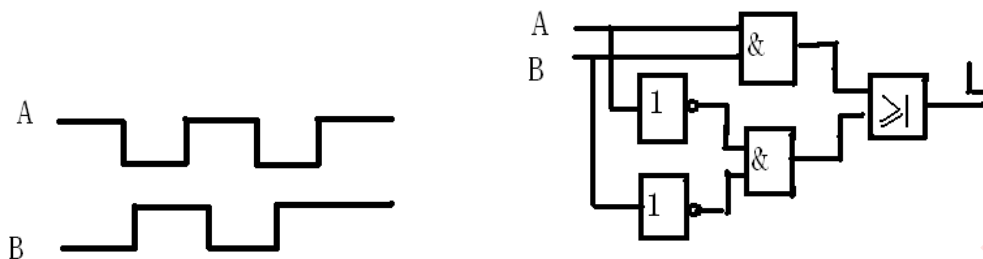
解: 设驱动电路如图题解 3.6.7 所示, 选用 74LS04 作为驱动器件, 它的输出低电平电流 $I_{OL(max)}=8mA$, $V_{OL(max)}=0.5V$, 电路中的限流电阻

$$R = \frac{V_{CC} - V_F - V_{OL(max)}}{I_D} = \frac{(5-2.5-0.5)V}{4.5mA} \approx 444\Omega$$



第四章 组合逻辑 习题解答

4. 1. 2 组合逻辑电路及输入波形 (A, B) 如图题 4. 1. 2 所示, 试写出输出端的逻辑表达式并画出输出波形。

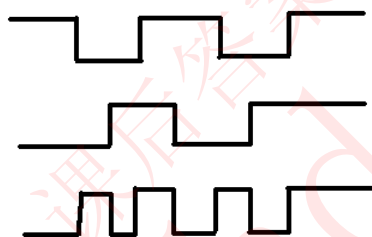


解: 由逻辑电路写出逻辑表达式

$$L = \overline{AB} + AB = A \oplus B$$

首先将输入波形分段, 然后逐段画出输出波形。

当 A, B 信号相同时, 输出为 1, 不同时, 输出为 0, 得到输出波形。



如图所示

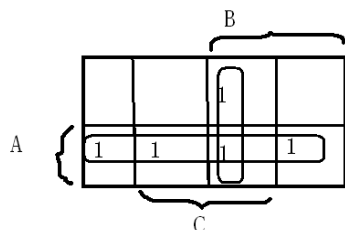
4. 2. 1 试用 2 输入与非门设计一个 3 输入的组合逻辑电路。当输入的二进制码小于 3 时, 输出为 0; 输入大于等于 3 时, 输出为 1。

解: 根据组合逻辑的设计过程, 首先要确定输入输出变量, 列出真值表。由卡诺图化简得到最简与或式, 然后根据要求对表达式进行变换, 画出逻辑图

1) 设输入变量为 A, B, C 输出变量为 L, 根据题意列真值表

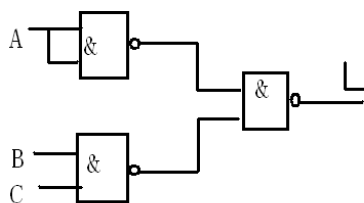
	A	B	C	L
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	0	1
1	0	0	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	1	1

2) 由卡诺图化简, 经过变换得到逻辑表达式



$$L = A + BC = \overline{\overline{A} * \overline{BC}}$$

3) 用 2 输入与非门实现上述逻辑表达式

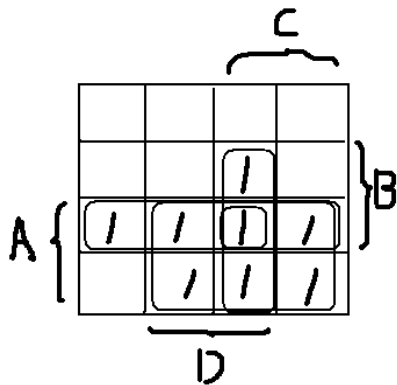


4. 2.7 某足球评委会由一位教练和三位球迷组成，对裁判员的判罚进行表决。当满足以下条件时表示同意：有三人或三人以上同意，或者有两人同意，但其中一人是叫教练。试用 2 输入与非门设计该表决电路。

解： 1) 设一位教练和三位球迷分别用 A 和 B、C、D 表示，并且这些输入变量为 1 时表示同意，为 0 时表示不同意，输出 L 表示表决结果。L 为 1 时表示同意判罚，为 0 时表示不同意。由此列出真值表

输入				输出
A	B	C	D	L
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

2) 由真值表画卡诺图

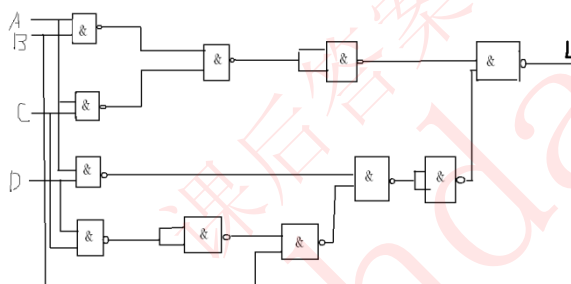


由卡诺图化简得 $L=AB+AC+AD+BCD$

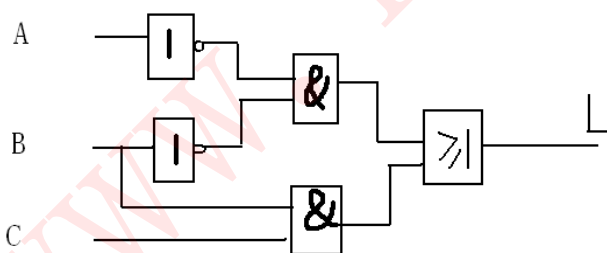
由于规定只能用 2 输入与非门，将上式变换为两变量的与非——与非运算式

$$L = \overline{\overline{AB} * \overline{AC} * \overline{AD} * \overline{BCD}} = \overline{\overline{AB} * \overline{AC} * \overline{AD} * B * CD}$$

3) 根据 L 的逻辑表达式画出由 2 输入与非门组成的逻辑电路



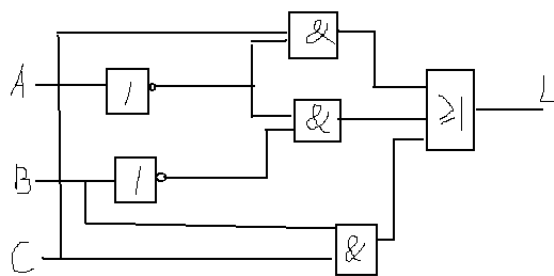
4. 3. 3 判断图所示电路在什么条件下产生竞争冒险，怎样修改电路能消除竞争冒险？



解： 根据电路图写出逻辑表达式并化简得 $L = \overline{A} * \overline{B} + BC$

当 $A=0, C=1$ 时， $L = \overline{B} + B$ 有可能产生竞争冒险，为消除可能产生的竞争冒险，

增加乘积项使 $\overline{A}C$ ， 使 $L = \overline{A} * \overline{B} + BC + \overline{A}C$ ， 修改后的电路如图

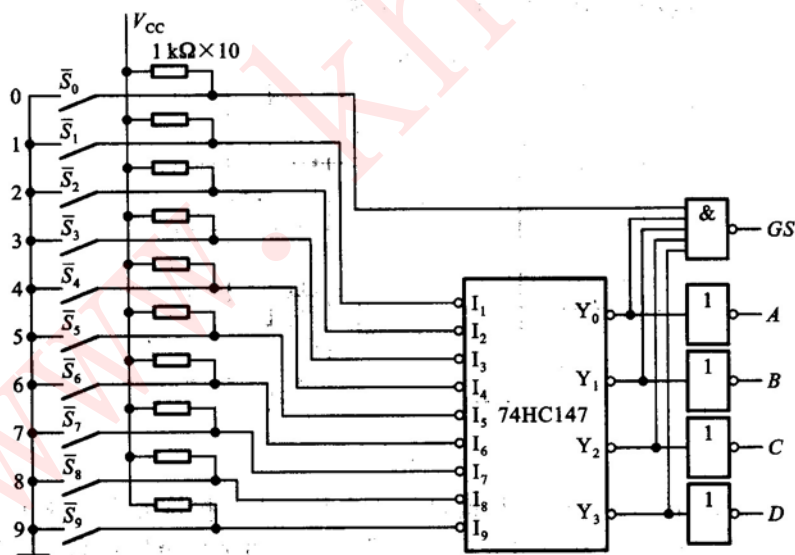


4.4.4 试用 74HC147 设计键盘编码电路，十个按键分别对应十进制数 0~9，编码器的输出为 8421BCD 码。要求按键 9 的优先级别最高，并且有工作状态标志，以说明没有按键按下和按键 0 按下两种情况。

解：真值表

输 入										输 出				
\bar{S}_0	\bar{S}_1	\bar{S}_2	\bar{S}_3	\bar{S}_4	\bar{S}_5	\bar{S}_6	\bar{S}_7	\bar{S}_8	\bar{S}_9	A	B	C	D	GS
1	1	1	1	1	1	1	1	1	1	0	0	0	0	0
x	x	x	x	x	x	x	x	x	0	1	0	0	1	1
x	x	x	x	x	x	x	x	0	1	1	0	0	0	1
x	x	x	x	x	x	x	0	1	1	1	1	1	1	1
x	x	x	x	x	0	1	1	1	1	0	1	1	0	1
x	x	x	x	0	1	1	1	1	1	0	1	0	1	1
x	x	x	0	1	1	1	1	1	1	0	0	1	1	1
x	x	0	1	1	1	1	1	1	1	0	0	1	0	1
x	0	1	1	1	1	1	1	1	1	0	0	0	1	1
0	1	1	1	1	1	1	1	1	1	0	0	0	0	1

电路图



4.4.6 用译码器 74HC138 和适当的逻辑门实现函数 $F = \bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$

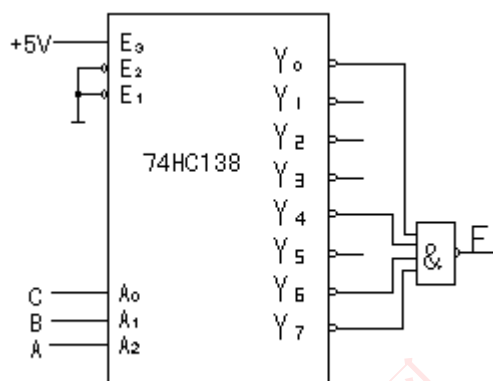
解：将函数式变换为最小项之和的形式

$$F = \bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC = m_0 + m_4 + m_6 + m_7$$

将输入变量 A、B、C 分别接入 \bar{A}_2 、 \bar{A}_1 、 \bar{A}_0 端，并将使能端接有效电平。由于 74HC138 是低电平有效输出，所以将最小项变换为反函数的形式

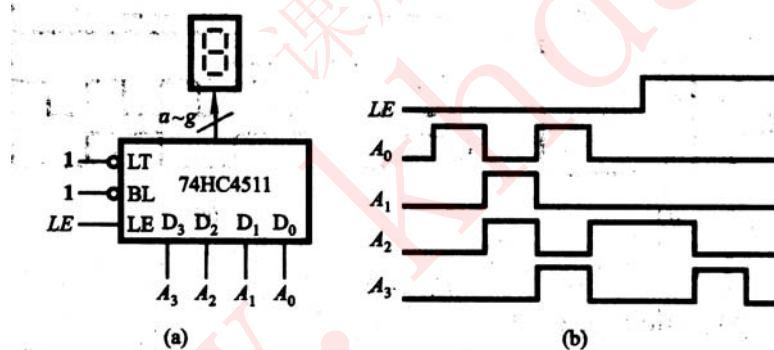
$$L = \overline{m_0 \cdot m_4 \cdot m_6 \cdot m_7} = \overline{Y_0 \cdot Y_4 \cdot Y_6 \cdot Y_7}$$

在译码器的输出端加一个与非门，实现给定的组合函数。



4.4.14 七段显示译码电路如图题 4. 4. 14 (a) 所示，对应图题 4. 4. 14 (b) 所示输入波形，试确定显示器显示的字符序列

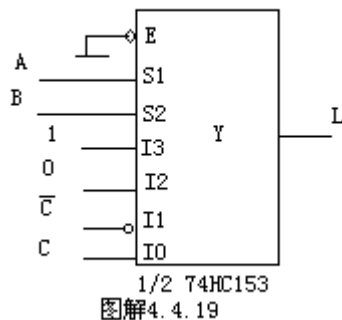
解：当 $\overline{LE}=0$ 时，图题 4. 4. 14 (a) 所示译码器能正常工作。所显示的字符即为 $A_2A_2A_1A_0$ 所表示的十进制数，显示的字符序列为 0、1、6、9、4。当 \overline{LE} 由 0 跳变 1 时，数字 4 被锁存，所以持续显示 4。



4. 4. 19 试用 4 选 1 数据选择器 74HC153 产生逻辑函数 $L(A,B,C) = \sum m(1,2,6,7)$ 。

解：74HC153 的功能表如教材中表解 4. 4. 19 所示。根据表达式列出真值表如下。将变量 A、B 分别接入地址选择输入端 S_1 、 S_0 ，变量 C 接入输入端。从表中可以看出输出 L 与变量 C 之间的关系，当 $AB=00$ 时， $L=C$ ，因此数据端 I_0 接 C；当 $AB=01$ 时， $L=\bar{C}$ ， I_1 接 \bar{C} ；当 AB 为 10 和 11 时，L 分别为 0 和 1，数据输入端 I_2 和 I_3 分别接 0 和 1。由此可得逻辑函数产生器，如图解 4. 4. 19 所示。

输入			输出	
A	B	C	L	
0	0	0	0	L=C
0	0	1	1	
0	1	0	1	$L = \bar{C}$
0	1	1	0	
1	0	0	0	0
1	0	1	0	
1	1	0	1	1
1	1	1	1	



4.4.21 应用 74HC151 实现如下逻辑函数。

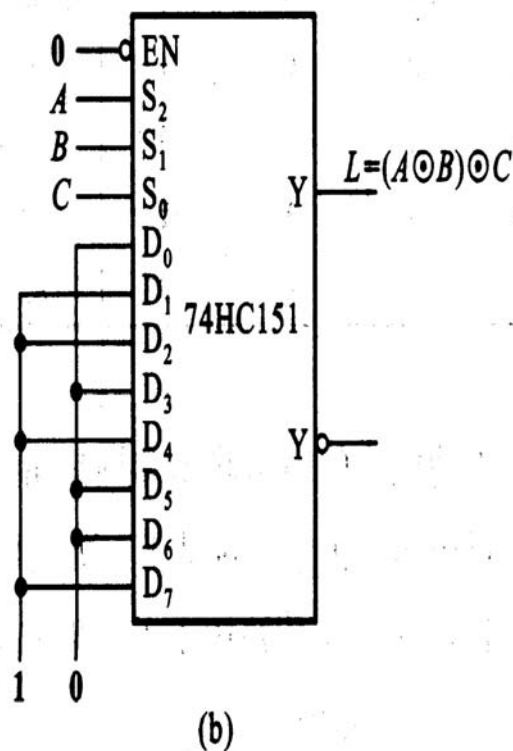
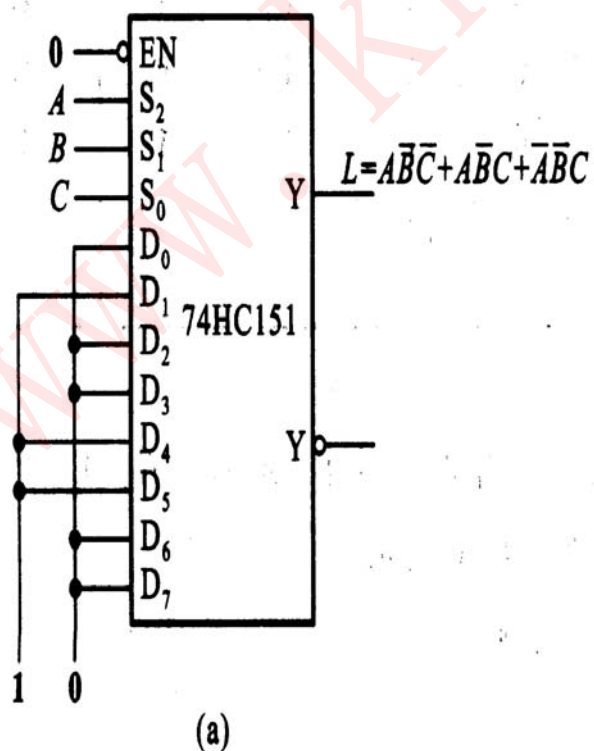
解：1. $F = \bar{A}\bar{B}\bar{C} + \bar{A}BC + \bar{A}\bar{B}C = m_4 + m_5 + m_1$

$D_1 = D_4 = D_5 = 1$, 其他=0

2.

$$\begin{aligned}
 Y &= A \odot B \odot C = (\bar{A}\bar{B} + AB) \odot C = \overline{\bar{A}\bar{B} + AB}C + (\bar{A}\bar{B} + AB)\bar{C} \\
 &= (\bar{A}\bar{B} + A\bar{B})\bar{C} + \bar{A}BC + ABC = \bar{A}\bar{B}\bar{C} + A\bar{B}\bar{C} + \bar{A}BC + ABC \\
 &= m_1 + m_2 + m_4 + m_7
 \end{aligned}$$

$$D_0 = D_3 = D_5 = D_6 = 0 \quad D_1 = D_2 = D_4 = D_7 = 1$$



4. 4. 26 试用数值比较器 74HC85 设计一个 8421BCD 码有效性测试电路, 当输入为 8421BCD 码时, 输出为 1, 否则为 0。

解: 测试电路如图题解 4. 4. 26 所示, 当输入的 08421BCD 码小于 1010 时, $F_{A=B}$ 输出为 1, 否则 0 为 0。

1



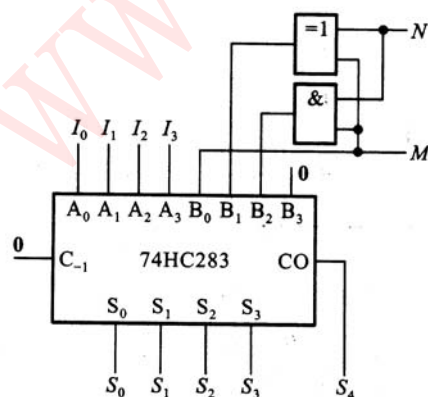
4. 4. 31 由 4 位数加法器 74HC283 构成的逻辑电路如图题 4. 4. 31 所示, M 和 N 为控制端, 试分析该电路的功能。

解: 分析图题 4. 4, 31 所示电路, 根据 MN 的不同取值, 确定加法器 74HC283 的输入端 $B_3B_2B_1B_0$ 的值。当 $MN=00$ 时, 加法器 74HC283 的输入端 $B_3B_2B_1B_0=0000$, 则加法器的输出为 $S=I$ 。当 $MN=01$ 时, 输入端 $B_3B_2B_1B_0=0010$, 加法器的输出 $S=I+2$ 。同理, 可分析其他情况, 如表题解 4. 4. 31 所示。

表题解 4. 4. 31

M	N	B_3	B_2	B_1	B_0	S	M	N	B_3	B_2	B_1	B_0	S
0	0	0	0	0	0	$I+0$	1	0	0	0	1	1	$I+3$
0	1	0	0	1	0	$I+2$	1	1	0	1	0	1	$I+5$

该电路为可控制的加法电路。



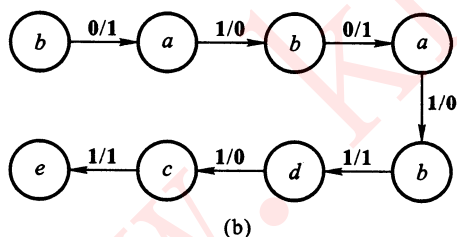
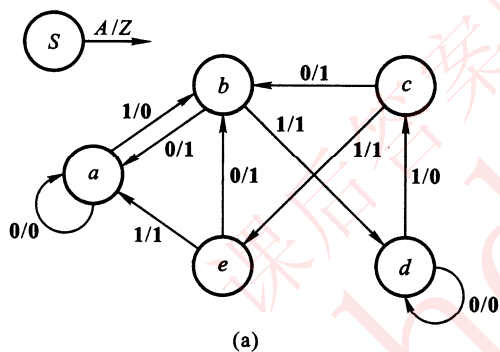
第六章 习题答案

6.1.6 已知某时序电路的状态表如表题 6. 1, 6 所示, 输入为 A, 试画出它的状态图。如果电路的初始状态在 b, 输入信号 A 依次是 0、1、0、1、1、1、1, 试求其相应的输出。

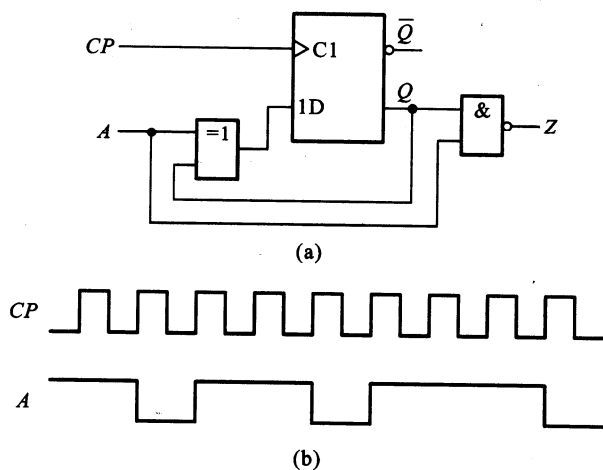
表题 6. 1. 6

现态 (S^n)	次态/输出 (S^{n+1}/Z)	
	A = 0	A = 1
a	a/0	b/0
b	a/1	d/1
c	b/1	e/1
d	d/0	c/0
e	b/1	a/1

解: 根据表题 6. 1. 6 所示的状态表, 可直接画出与其对应的状态图, 如图题解 6. 1. 6 (a) 所示。当从初态 b 开始, 依次输入 0、1、0、1、1、1、1 信号时, 该时序电路将按图题解 6. 1. 6 (b) 所示的顺序改变状态, 因而其相应的输出为 1、0、1、0、1、0、1。



6.2.1 试分析图题 6. 2. 1 (a) 所示时序电路, 画出其状态表和状态图。设电路的初始状态为 0, 试画出在图题 6. 2. 1 (b) 所示波形作用下, Q 和 z 的波形图。

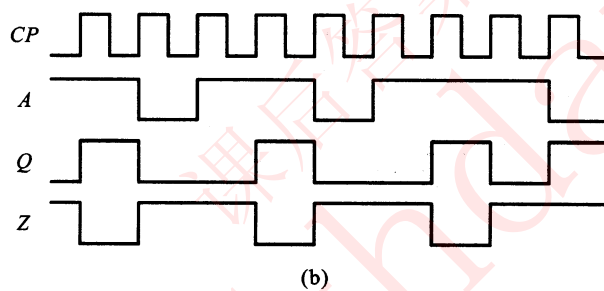


图题 6.2.1

解：状态方程和输出方程：

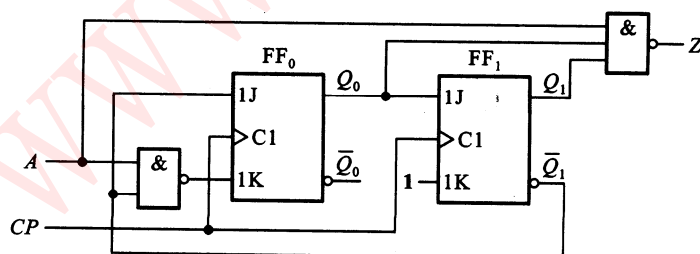
$$Q^{n+1} = A \oplus Q^n$$

$$Z = A\overline{Q}$$



图题解 6.2.1

6.2.4 分析图题 6.2.4 所示电路，写出它的激励方程组、状态方程组和输出方程，画出状态表和状态图。



解：激励方程

$$J_0 = \overline{Q_1} \quad K_0 = \overline{A} \overline{Q_1}$$

$$J_1 = Q_0 \quad K_1 = 1$$

状态方程

$$Q_1^{n+1} = Q_0^n \bar{Q}_1^n$$

$$Q_0^{n+1} = \bar{Q}_1^n \bar{Q}_0^n + A \bar{Q}_1^n Q_0^n = \bar{Q}_1^n (\bar{Q}_0^n + A)$$

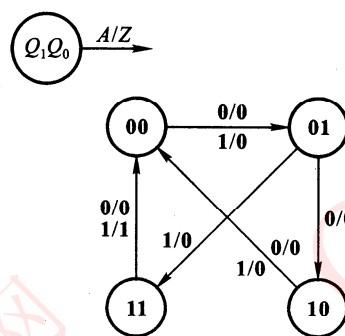
输出方程

$$Z = AQ_1Q_0$$

根据状态方程组和输出方程可列出状态表，如表题解 6. 2. 4 所示，状态图如图题解 6. 2. 4 所示。

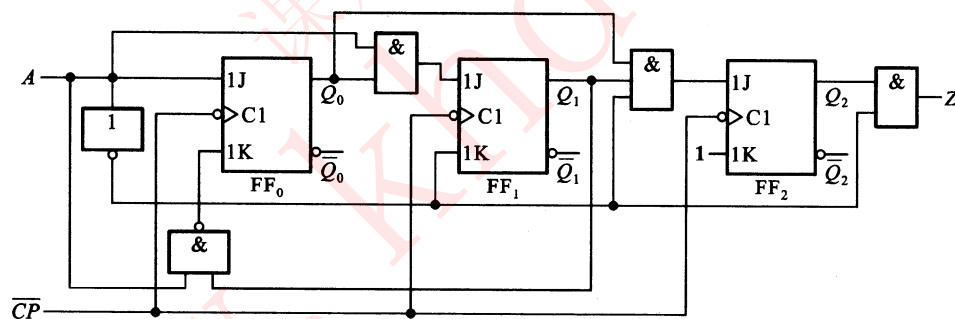
表题解 6. 2. 4

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Z$	
	$A = 0$	$A = 1$
00	01/0	01/0
01	10/0	11/0
10	00/0	00/0
11	00/0	00/1



图题解 6. 2. 4

6.2.5 分析图题 6. 2. 5 所示同步时序电路，写出各触发器的激励方程、电路的状态方程组和输出方程，画出状态表和状态图。



图题 6. 2. 5

解：激励方程

$$J_0 = A \quad K_0 = A Q_1$$

$$J_1 = A Q_0 \quad K_1 = A$$

$$J_2 = A Q_0 Q_1 \quad K_2 = 1$$

状态方程

$$Q_2^{n+1} = A Q_0^n Q_1^n \bar{Q}_2^n$$

$$Q_1^{n+1} = A Q_0^n \bar{Q}_1^n + A Q_1^n = A (Q_1^n + Q_0^n)$$

$$Q_0^{n+1} = A \bar{Q}_0^n + A Q_1^n Q_0^n = A (Q_1^n + \bar{Q}_0^n)$$

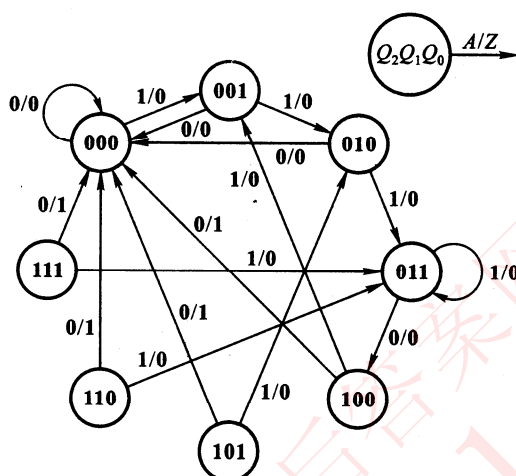
输出方程

$$Z = A Q_2$$

根据状态方程组和输出方程列出该电路的状态表，如表题解 6.2.5 所示，状态图如图题解 6.2.5 所示。

表题解 6.2.5

$Q_2^n Q_1^n Q_0^n$	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1} / Z$		$Q_2^n Q_1^n Q_0^n$	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1} / Z$	
	$A = 0$	$A = 1$		$A = 0$	$A = 1$
000	000/0	001/0	100	000/1	001/0
001	000/0	010/0	101	000/1	010/0
010	000/0	011/0	110	000/1	011/0
011	100/0	011/0	111	000/1	011/0



图题解 6.2.5

6.3.1 用 JK 触发器设计一个同步时序电路，状态表如下

表题 6.3.1

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$A = 0$	$A = 1$
00	01/0	11/0
01	10/0	00/0
10	11/0	01/0
11	00/1	10/1

解：所要设计的电路有 4 个状态，需要用两个 JK 触发器实现。

(1) 列状态转换真值表和激励表

由表题 6.3.1 所示的状态表和 JK 触发器的激励表，可列出状态转换真值表和对各触发器的激励信号，如表题解 6.3.1 所示。

表题解 6.3.1

Q_1^n	Q_0^n	A	Q_1^{n+1}	Q_0^{n+1}	Y	J_1	K_1	J_0	K_0
0	0	0	0	1	0	0	×	1	×
0	0	1	1	1	0	1	×	1	×
0	1	0	1	0	0	1	×	×	1
0	1	1	0	0	0	0	×	×	1
1	0	0	1	1	0	×	0	1	×
1	0	1	0	1	0	×	1	1	×
1	1	0	0	0	1	×	1	×	1
1	1	1	1	0	1	×	0	×	1

(2) 求激励方程组和输出方程

由表题解 6.3.1 画出各触发器 J、K 端和电路输出端 y 的卡诺图，如图题解 6.3.1 (a) 所示。从而，得到化简的激励方程组

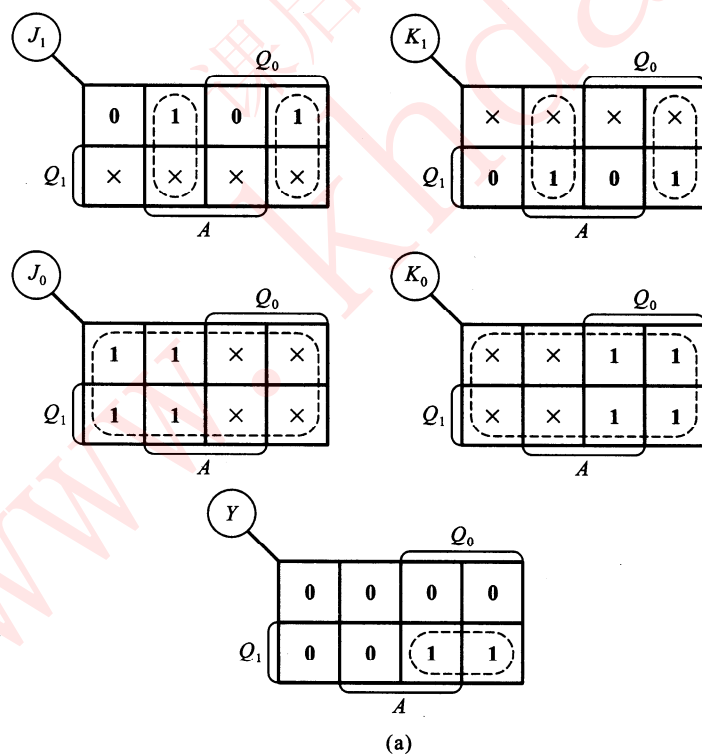
$$J_0 = \bar{K}_0 = 1$$

$$J_1 = K_1 = A \oplus Q_0$$

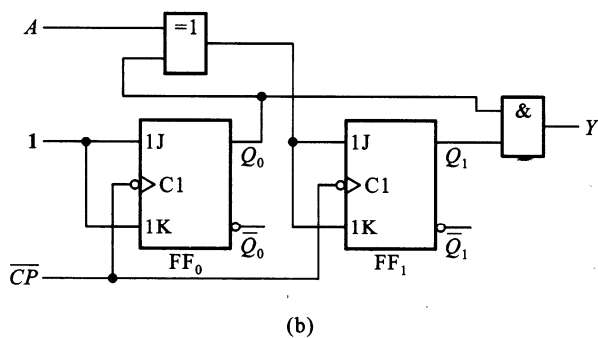
输出方程

$$Y = Q_1 Q_0$$

$Q_1 Q_0 A$



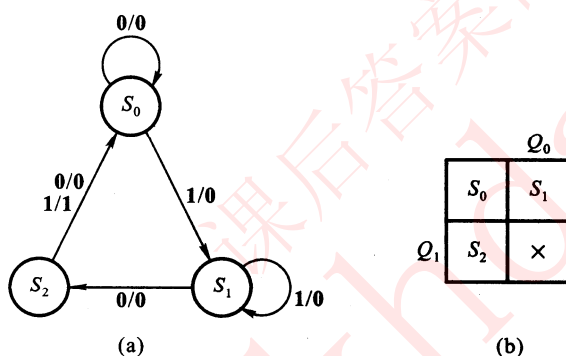
由输出方程和激励方程话电路



图题解 6.3.1

6.3.4 试用下降沿出发的 D 触发器设计一同步时序电路，状态图如 6.3.4 (a)，S0S1S2 的编码如 6.3.4 (a)

解：图题 6.3.4 (b) 以卡诺图方式表达出所要求的状态编码方案，即 S0=00，S1=01，S2=10，S3 为无效状态。电路需要两个下降沿触发的 D 触发器实现，设两个触发器的输出为 Q1、Q0，输入信号为 A，输出信号为 Y



图题 6.3.4

(1) 由状态图可直接列出状态转换真值表，如表题解 6.3.4 所示。无效状态的次态可用无关项×表示。

(2) 画出激励信号和输出信号的卡诺图。根据 D 触发器的特性方程，可由状态转换真值表直接画出 2 个卡诺图，如图题解 6.3.4 (a) 所示。

表题解 6.3.4

Q_1^n	Q_0^n	A	$Q_1^{n+1}(D_1)$	$Q_0^{n+1}(D_0)$	Y
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	1	0	0
0	1	1	0	1	0
1	0	0	0	0	0
1	0	1	0	0	1
1	1	0	×	×	×
1	1	1	×	×	×

(3) 由卡诺图得激励方程

$$\begin{cases} D_1 = \bar{A}Q_0 \\ D_0 = A\bar{Q}_1 \end{cases}$$

输出方程

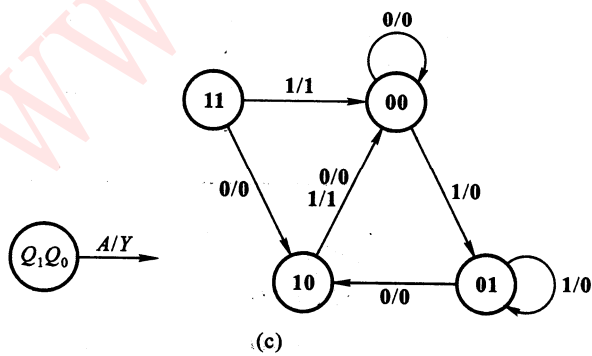
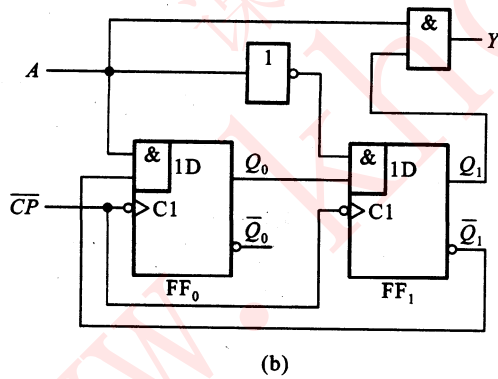
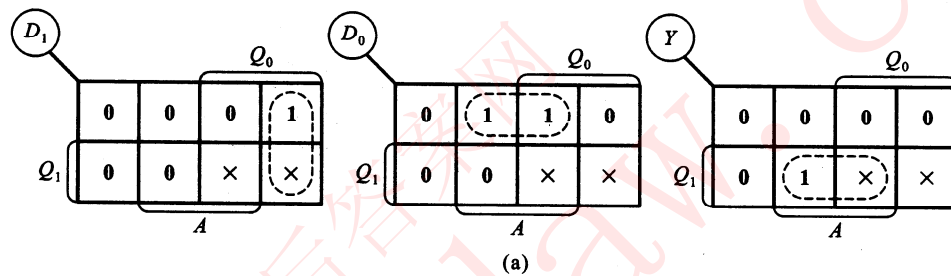
$$Y = AQ_1$$

(4) 根据激励方程组和输出方程画出逻辑电路图，如图题解 6. 3. 4 (b) 所示。

(5) 检查电路是否能自启动。由 D 触发器的特性方程 $Q^{n+1} \leftarrow D$ ，可得图题解 6. 3. 4 (b) 所示电路的状态方程组为

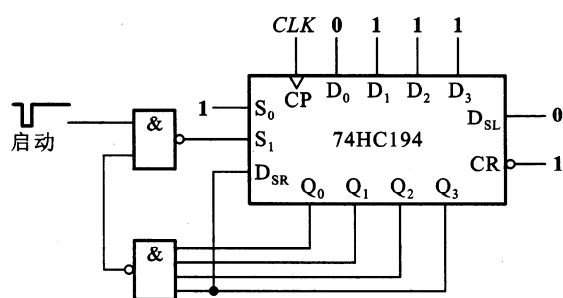
$$\begin{cases} Q_1^{n+1} = \bar{A}Q_0^n \\ Q_0^{n+1} = A\bar{Q}_1^n \end{cases}$$

代入无效状态 11，可得次态为 00，输出 $Y=1$ 。如图(c)



图题解 6. 3. 4

6.5.1 试画出图题 6.5.1 所示电路的输出($Q_3—Q_0$)波形, 分析电路的逻辑功能。



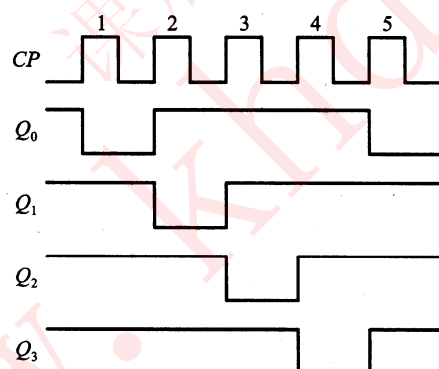
图题 6.5.1

解: 74HC194 功能由 S_1S_0 控制

00 保持, 01 右移 10 左移 11 并行输入

当启动信号端输入一低电平时, 使 $S_1=1$, 这时有 $S_0=S_1=1$, 移位寄存器 74HC194 执行并行输入功能, $Q_3Q_2Q_1Q_0=D_3D_2D_1D_0=1110$ 。启动信号撤消后, 由于 $Q_0=0$, 经两级与非门后, 使 $S_1=0$, 这时有 $S_1S_0=01$, 寄存器开始执行右移操作。在移位过程中, 因为 Q_3Q_2 、 Q_1 、 Q_0 中总有一个为 0, 因而能够维持 $S_1S_0=01$ 状态, 使右移操作持续进行下去。其移位情况如图题解 6.5.1 所示。

由图题解 6.5.1 可知, 该电路能按固定的时序输出低电平脉冲, 是一个四相时序脉冲产生电路。



6.5.6 试用上升沿触发的 D 触发器及门电路组成 3 位同步二进制加 1 计数器; 画出逻辑图

解: 3 位二进制计数器需要用 3 个触发器。因是同步计数器, 故各触发器的 CP 端接同一时钟脉冲源。

(1) 列出该计数器的状态表和激励表, 如表题解 6.5.6 所示 ‘

表题解 6.5.6

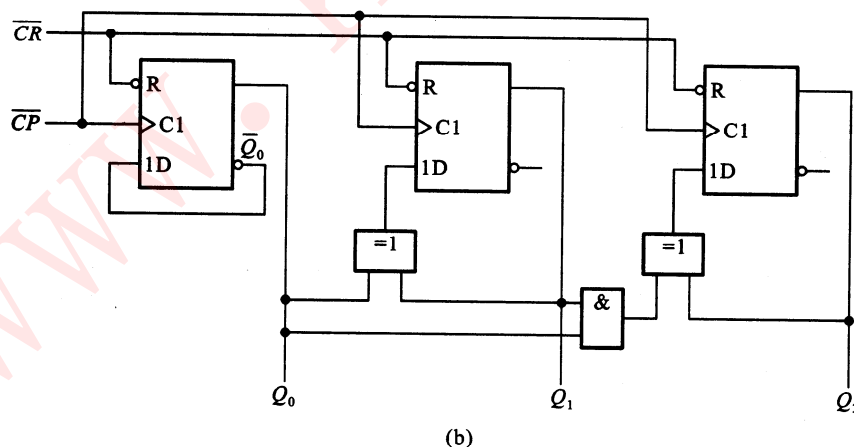
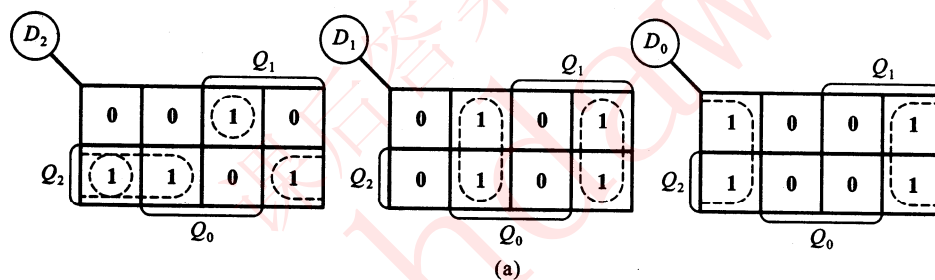
计数脉冲 CP 的顺序	现 态			次 态			激励信号		
	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	D_2	D_1	D_0
0	0	0	0	0	0	1	0	0	1
1	0	0	1	0	1	0	0	1	0
2	0	1	0	0	1	1	0	1	1
3	0	1	1	1	0	0	1	0	0
4	1	0	0	1	0	1	1	0	1
5	1	0	1	1	1	0	1	1	0
6	1	1	0	1	1	1	1	1	1
7	1	1	1	0	0	0	0	0	0

(2) 用卡诺图化简, 得激励方程

$$D_2 = Q_2 \bar{Q}_1 + Q_2 \bar{Q}_0 + \bar{Q}_2 Q_1 Q_0 \quad D_1 = \bar{Q}_1 Q_0 + Q_1 \bar{Q}_0 \quad D_0 = \bar{Q}_0$$

$$= Q_2 \oplus (Q_1 Q_0) \quad = Q_1 \oplus Q_0$$

(3) 画出电路



图题解 6.5.6

6.5.10 用 JK 触发器设计一个同步六进制加 1 计数器

解: 需要 3 个触发器

(1) 状态表, 激励表

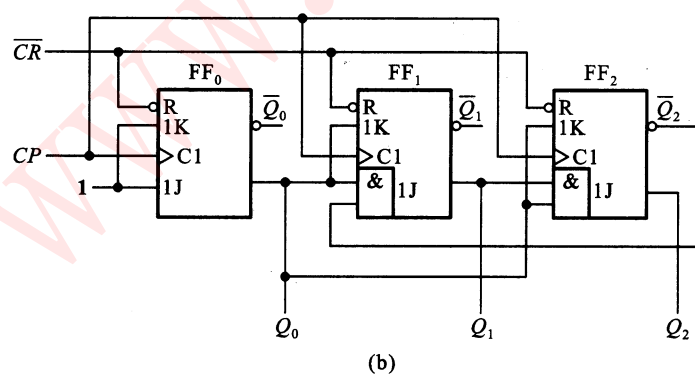
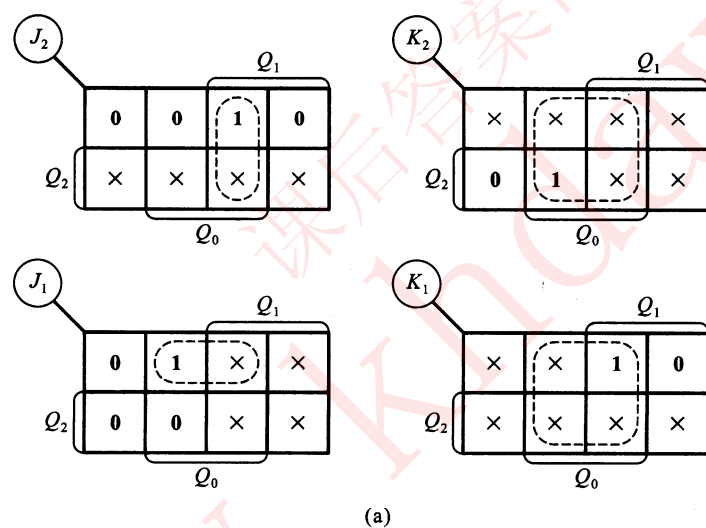
表题解 6.5.10

计数脉冲 CP 的顺序	现 态			次 态			激 励 信 号					
	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	0	0	1	0	×	0	×	1	×
1	0	0	1	0	1	0	0	×	1	×	×	1
2	0	1	0	0	1	1	0	×	×	0	1	×
3	0	1	1	1	0	0	1	×	×	1	×	1
4	1	0	0	1	0	1	×	0	0	×	1	×
5	1	0	1	0	0	0	×	1	0	×	×	1
	1	1	0	×	×	×	×	×	×	×	×	×
	1	1	1	×	×	×	×	×	×	×	×	×

(2) 用卡诺图化简得激励方程

$$\begin{cases} J_2 = Q_1 Q_0 \\ K_2 = Q_0 \end{cases} \quad \begin{cases} J_1 = \bar{Q}_2 Q_0 \\ K_1 = Q_0 \end{cases} \quad \begin{cases} J_0 = 1 \\ K_0 = 1 \end{cases}$$

(3) 画出电路图



图题解 6.5.10

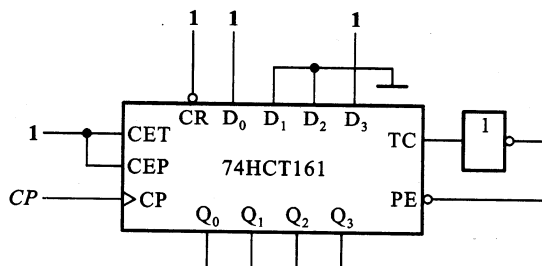
(4) 检查自启动能力。

当计数器进入无效状态 110 时, 在 CP 脉冲作用下, 电路的状态将按

110→111→000 变化，计数器能够自启动。

6.5.15 试用 74HCT161 设计一个计数器，其计数状态为自然二进制数 1001~1111。

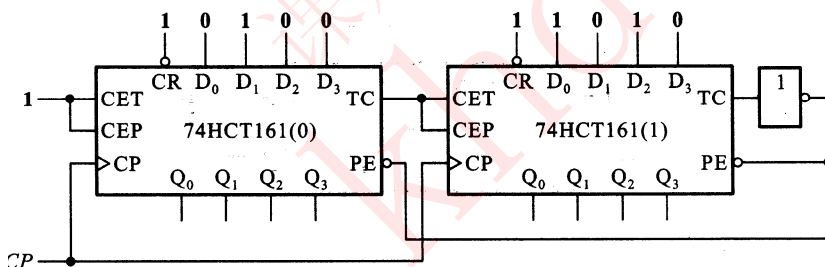
解：由设计要求可知，74HCT161 在计数过程中要跳过 0000~1000 九个状态而保留 1001~1111 七个状态。因此，可用“反馈量数法”实现：令 74HCT161 的数据输入端 $D_3D_2D_1D_0=1001$ ，并将进位信号 TC 经反相器反相后加至并行置数使能端上。所设计的电路如图题解 6.5.15 所示。161 为异步清零，同步置数。



图题解 6.5.15

6.5.18 试分析电路，说明电路是几进制计数器

解：两片 74HCT161 级联后，最多可能有 $162=256$ 个不同的状态。而用“反馈置数法”构成的图题 6.5.18 所示电路中，数据输入端所加的数据 01010010，它所对应的十进制数是 82，说明该电路在置数以后从 01010010 态开始计数，跳过了 82 个状态。因此，该计数器的模 $M=256-82=174$ ，即一百七十四进制计数器。

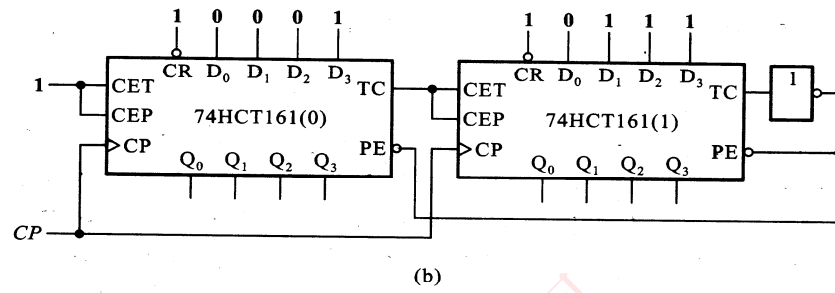
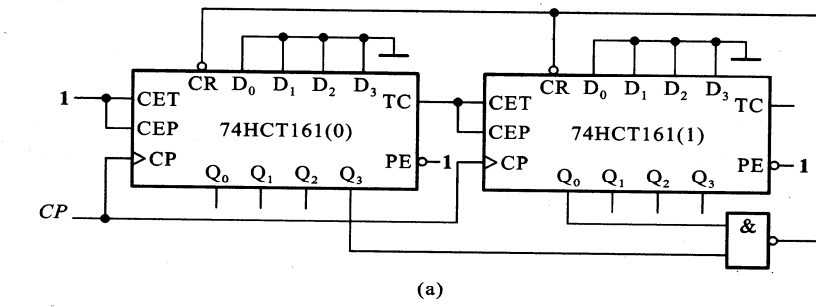


6.5.19 试用 74HCT161 构成同步二十四进制计数器，要求采用两种不同得方法。

解：因为 $M=24$ ，有 $16<M<256$ ，所以要用两片 74HCT161。将两芯片的 CP 端直接与计数脉冲相连，构成同步电路，并将低位芯片的进位信号连到高位芯片的计数使能端。用“反馈清零法”或“反馈置数法”跳过 $256-24=232$ 个多余状态。

反馈清零法：利用 74HCT161 的“异步清零”功能，在第 24 个计数脉冲作用后，电路的输出状态为 00011000 时，将低位芯片的 Q_3 及高位芯片的 Q_0 信号经与非门产生清零信号，输出到两芯片的异步清零端，使计数器从 00000000 状态开始重新计数。其电路如图题解 6.5.19 (a) 所示。

反馈置数法：利用 74HCT161 的“同步预置”功能，在两片 74HCT161 的数据输入端上从高位到低位分别加上 11101000（对应的十进制数是 232），并将高位芯片的进位信号经反相器接至并行置数使能端。这样，在第 23 个计数脉冲作用后，电路输出状态为 11111111，使进位信号 $TC=1$ ，将并行置数使能端置零。在第 24 个计数脉冲作用后，将 11101000 状态置入计数器，并从此状态开始重新计数。其电路如图题解 6.5.19 (b) 所示。



图题解 6.5.19

第七章 习题答案

7.1.1 指出下列存储系统各具有多少个存储单元，至少需要几根地址线 and 数据线。

- (1) $64K \times 1$ (2) $256K \times 4$ (3) $1M \times 1$ (4) $128K \times 8$

解：求解本题时，只要弄清以下几个关系就能很容易得到结果：

存储单元数 = 字数 \times 位数

地址线根数（地址码的位数） n 与字数 N 的关系为： $N=2^n$

数据线根数 = 位数

(1) 存储单元 $64K \times 1 = 64K$ （注： $1K=1024$ ）；因为， $64K=2^{16}$ ，即 2^{16} ，所以地址线为 16 根；数据线根数等于位数，此处为 1 根。

同理得：

(2) $1M$ 个存储单元，18 根地址线，4 根数据线。

(3) $1M$ 个存储单元，18 根地址线，1 根数据线。 ! _

(4) $1M$ 个存储单元，17 根地址线，8 根数据线。

7.1.2 设存储器的起始地址为全 0，试指出下列存储系统的最高地址为多少？

- (1) $2K \times 1$ (2) $16K \times 4$ (3) $256K \times 32$

解：因为存储系统的最高地址 = 字数 \times 起始地址 - 1，所以它们的十六进制地址是：

- (1) 7FFH (2) 3FFFH (3) 3FFFFH

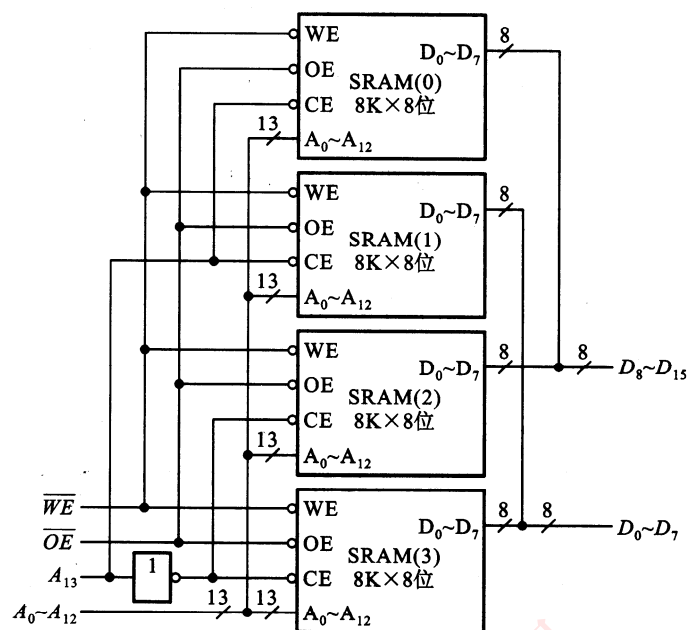
7.2.4 一个有 $1M \times 1$ 位的 DRAM，采用地址分时送人的方法，芯片应具有几条地址线？

解：由于 $1M=2^{10} \times 2^{10}$ ，即行和列共需 20 根地址线。所以，采用地址分时送人的方法，芯片应具有 10 根地址线。

7.2.5 试用一个具有片选使能 CE、输出使能 OE、读写控制 WE、容量为 $8K \times 8$ 位的 sRAM 芯片，设计一个 $16K \times 16$ 位的存储器系统，试画出其逻辑图。

解：采用 $8K \times 8$ 位的 sRAM 构成 $16K \times 16$ 位的存储器系统，必须同时进行字扩展和位扩展。用 2 片 $8K \times 8$ 位的芯片，通过位扩展构成 $8K \times 16$ 位系统，此时需要增加 8 根数据线。要将 $8K \times 16$ 位扩展成 $16K \times 16$ 位的存储器系统，还必须进行字扩展。因此还需 2 片 $8K \times 8$ 位的芯片通过同样的位扩展，构成 $8K \times 16$ 位的存储系统，再与另一个 $8K \times 16$ 位存储系统进行字扩展，从而实现 $16K \times 16$ 位的存储器系统，此时还需增加 1 根地址线。系统共需要 4 片 $8K \times 8$ 位的 SRAM 芯片。

用增加的地址线 A13 控制片选使能 CE 便可实现字扩展，两片相同地址的 sRAM 可构成 16 位数据线。其逻辑图如图题解 7.2.5 所示。其中 (0) 和 (1)、(2) 和 (3) 分别构成两个 $8K \times 16$ 位存储系统；非门将 A13 反相，并将 A13 和 $\overline{A13}$ 分别连接到两组 $8K \times 16$ 的片选使能端 CE 上，实现字扩展。



图题解 7.2.5